

(19)



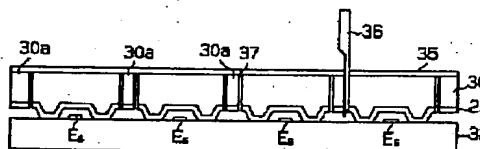
JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09223678 A**(43) Date of publication of application: **26.08.97**(51) Int. Cl. **H01L 21/301**(21) Application number: **08026986**(22) Date of filing: **14.02.96**(71) Applicant: **DENSO CORP**(72) Inventor: **YOSHIHARA SHINJI
OBARA FUMIO
KURAHASHI TAKASHI****(54) MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To manufacture, at low cost and high yield, a semiconductor device containing joint members counterposed to a semiconductor substrate with a void.

SOLUTION: A cap wafer 30 and a sensor wafer 32 are joined together, cutting is made with one dicing line among vertical/horizontal dicing lines to the cap wafer 30, and an adhesive sheet 35 is pasted to the cap wafer 30. Then, to the cap wafer 30, cutting is made with not-yet-cut line among the dicing lines together with the adhesive sheet 35, then, after the adhesive sheet 35 is peeled unnecessary part of the cap wafer 30 is separated from the wafer 30, and dicing cut is made with a sensor wafer for each chip.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223678

(43) 公開日 平成9年(1997)8月28日

(51) Int.Cl.

H01L 21/301

識別記号

庁内登録番号

P I

H01L 21/78

技術表示箇所

Q
M

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平8-26986

(22) 出願日 平成8年(1996)2月14日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 吉原 晋二

愛知県刈谷市昭和町1丁目1番地 日本電

装 株式会社内

(72) 発明者 小原 文雄

愛知県刈谷市昭和町1丁目1番地 日本電

装 株式会社内

(72) 発明者 倉橋 崇

愛知県刈谷市昭和町1丁目1番地 日本電

装 株式会社内

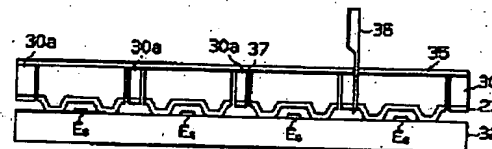
(74) 代理人 弁理士 風田 博宣

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体基板に対し空隙をもって対向配置された接合部材を有する半導体装置を、低コストかつ高歩留りで製造する。

【解決手段】キャップ用ウェハ30とセンサウェハ32とを接合し、キャップ用ウェハ30に対し縦線のダイシングラインの内の一方のダイシングラインでカットし、キャップ用ウェハ30に粘着シート35を貼り付け、キャップ用ウェハ30に対しダイシングラインの内の未カットラインで粘着シート35ごとカットし、粘着シート35を剥がしてキャップ用ウェハ30からウェハ30での不要部を分離し、センサウェハ32を各チップ毎にダイシングカットする。



1

【特許請求の範囲】

【請求項 1】 素子が形成された半導体基板に対し接合部材が空隙をもって対向配置された半導体装置の製造方法であって、

前記接合部材となる接合部材用板材と前記半導体基板となる素子側半導体ウェハとを接合する第 1 工程と、

接合部材用板材に対し縦横のダイシングラインの内一方のダイシングラインでカットする第 2 工程と、

接合部材用板材に粘着シートを貼り付ける第 3 工程と、

接合部材用板材に対しダイシングラインの内未カットラインで前記粘着シートごとカットする第 4 工程と、

前記粘着シートを剥がして接合部材用板材から当該板材での不要部を分離する第 5 工程と、

素子側半導体ウェハを各チップ毎にダイシングカットする第 6 工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来、半導体加速度センサやマイクログレイフラム圧力センサ等においては、シリコンチップ上に可動部（振動部）を有し、可動部（振動部）の変位により加速度や圧力等の物理量を電気信号に変換して取り出すようになっている。また、このような半導体装置において、可動部（振動部）を保護するために可動部をキャップにて覆うことが行われている（例えば、特開平 5-326702 号公報等）。このキャップにてウェハからチップにダイシングカットする際の水圧や水流から可動部（振動部）を保護することができる。

【0003】

【発明が解決しようとする課題】ところが、このようにキャップを備えた半導体装置において量産性に優れた製造技術が求められているにもかかわらず、その手法等は確立されていないのが現状である。

【0004】そこで、この発明の目的は、半導体基板に対し接合部材が空隙をもって対向配置された半導体装置を、低コストかつ高歩留りで製造することができるようにする。

【0005】

【課題を解決するための手段】請求項 1 に記載の発明によれば、第 1 工程により、接合部材となる接合部材用板材と半導体基板となる素子側半導体ウェハとが接合され、第 2 工程により、接合部材用板材に対し縦横のダイシングラインの内一方のダイシングラインでカットされる。そして、第 3 工程により、接合部材用板材に粘着シートが貼り付けられ、第 4 工程により、接合部材用板材に対しダイシングラインの内未カットラインで粘着シートごとカットされる。さらに、第 5 工程により、粘

(2)

特開平 9-223678

2

着シートが剥がされて接合部材用板材から当該板材での不要部が分離され、第 6 工程により、素子側半導体ウェハが各チップ毎にダイシングカットされる。

【0006】ここで、第 4 工程において、接合部材用板材を接合部材と不要部とに分けるダイシングカット時に、接合部材用板材での不要部が粘着シートに支持されており、当該不要部が飛散し、素子側半導体ウェハ上に形成されたパッド部やパッシベーション膜等にダメージを与えることなく接合部材を形成することが可能となる。又、接合部材用板材での不要部の飛散によるダイシングブレードの破損もなくなる。これにより、低コストかつ高歩留りで半導体装置を製造することができ。

【0007】

【発明の実施の形態】以下、この発明の実施の形態を図面に従って説明する。図 1 は、本実施の形態における可動ゲート MOS トランジスタ型加速度センサの平面図を示す。又、図 2 は図 1 の A-A 断面を示し、図 3 には図 1 の B-B 断面を示す。

【0008】半導体基板としての P 型シリコン基板 1 上にはフィールド酸化膜 2 が形成されるとともにその上に窒化シリコン膜 3 およびシリコン酸化膜 16 が積層されている。又、P 型シリコン基板 1 上には、フィールド酸化膜 2、窒化シリコン膜 3 およびシリコン酸化膜 16 の無い長方形領域 4 が形成されている。又、領域 4 における P 型シリコン基板 1 の上にはゲート絶縁膜 5 が形成されている。窒化シリコン膜 3 の上には、領域 4 を架設するように両持ち梁構造の可動ゲート電極 6 が配置されている。この可動ゲート電極 6 は帯状にて直線的に延びるポリシリコン薄膜よりなる。又、フィールド酸化膜 2 および窒化シリコン膜 3 より P 型シリコン基板 1 と可動ゲート電極 6 とが絶縁されている。

【0009】図 3 において、P 型シリコン基板 1 の上面における可動ゲート電極 6 の両側には不純物拡散層からなる固定ソース電極 7 と固定ドレイン電極 8 が形成され、この電極 7、8 は P 型シリコン基板 1 にイオン注入等により N 型不純物を導入することにより形成されたものである。

【0010】図 2 に示すように、P 型シリコン基板 1 には N 型不純物拡散領域 9 が延設され、N 型不純物拡散領域 9 はアルミ 10 により可動ゲート電極 6 と接続されるとともにアルミ配線 11 と電気的に接続されている。アルミ配線 11 の他端部はアルミパッド（電極パッド）12 として窒化シリコン膜 3 およびシリコン酸化膜 16 から露出している。又、図 3 に示すように、P 型シリコン基板 1 には N 型不純物拡散領域 13 が延設され、N 型不純物拡散領域 13 は固定ソース電極 7 と接続されるとともにアルミ配線 14 と電気的に接続されている。アルミ配線 14 の他端部はアルミパッド（電極パッド）15 として窒化シリコン膜 3 およびシリコン酸化膜 16 から露出している。さらに、P 型シリコン基板 1 には N 型不純

(3)

特開平9-223678

物拉散領域17が延設され、N型不純物拡散領域17は固定ドレイン電極8と接続されるとともにアルミ配線18と電気的に接続されている。アルミ配線18の他端部はアルミパッド(電極パッド)19として窒化シリコン膜3およびシリコン酸化膜16から露出している。

【0011】尚、可動ゲート電極6以外の領域についてはシリコン酸化膜16の上にパッシベーション膜(最終保護膜)としてさらにシリコン窒化膜が積層されている。そして、アルミパッド12、15、19はボンディングワイヤにて外部の電子回路と接続されている。

【0012】図3に示すように、P型シリコン基板1における固定ソース電極7と固定ドレイン電極8との間には、反転層20が形成され、同反転層20はシリコン基板1と可動ゲート電極(両持ち梁)6との間に電圧を印加することにより生じたものである。

【0013】このように本センサは、両持ち梁構造の可動ゲート電極6が配置されており、機械的強度が低い構造となっている。加速度検出の際には、可動ゲート電極6とシリコン基板1との間に電圧をかけると、反転層20が形成され、固定ソース電極7と固定ドレイン電極8との間に電流が流れる。そして、本加速度センサが加速度を受けて、図3中に示すZ方向(基板表面に垂直な方向)に可動ゲート電極6が変位した場合には電界強度の変化によって反転層20のキャリア濃度が増大し電流(ドレイン電流)が増大する。このように、本加速度センサは、シリコン基板1に機能素子としてのセンサ素子(可動ゲートMOSTランジスタ)ESが形成され、電流量の増減で加速度を検出することができる。

【0014】機械的強度の低い可動ゲート電極6を保護するためのキャップ(接合部材)21は、四角板形のシリコン基板よりなる。キャップ21の下面には突部22が四角環状に形成されている(図1参照)。キャップ21の下面には接合層23が形成されている。接合層23は、例えば接合剤やAu等が用いられる。

【0015】そして、シリコン酸化膜16の上に、接合層23を介してキャップ21の突部22が接合されている。又、突部22の外側における突部22の周辺にアルミパッド(電極パッド)12、15、19が配置されている。尚、センサ素子(可動ゲートMOSTランジスタ)ESとパッド12、15、19の間の領域には制御回路等が形成されているが図では省略してある。

【0016】このように、センサ素子(可動ゲートMOSTランジスタ)ESが形成されたシリコン基板1に対しキャップ21が空隙24をもって対向配置されている。つまり、シリコン基板1に対し接合層23を介してキャップ21を接合することにより、シリコン基板1の表面においてキャップ21内の空隙24にセンサ素子(可動ゲートMOSTランジスタ)ESが封止された構造となっている。このキャップ21にてウェハからチップにダイシングカットする際の水圧や水流から可動ゲ

ト電極6(振動部)を保護することができる。

【0017】又、アルミパッド12、15、19からボンディングワイヤを取り出すことができるように、シリコン基板1の面積に比べキャップ21の面積は小さく、図2、3に示すように、パッド12、15、19の上方面のキャップ21においてはパッド上へのワイヤボンディングを容易にするため不要部P1、P2、P3を除去してキャップ21を小面積化している。即ち、センサは2枚のシリコンウェハ(シリコン基板1の形成用のウェハとキャップ21の形成用のウェハ)の貼り合わせにより形成されるが、キャップ形成用ウェハにおいて最終的にキャップとならない領域(不要部)P1、P2、P3を除去している。

【0018】次に、キャップ21による封止構造の形成工程を、図4～図14に基づいて説明する。まず、図4に示すように、キャップとなるシリコンウェハ(以下、キャップ用ウェハという)30を用意し、キャップ用ウェハ30の表面の所定領域にホットエッチングにより凹部31を形成し、凹部31に挟まれた領域に各チップ毎の突部22をそれぞれ形成する。より詳しくは、熱酸化膜をマスクとし、エッチング液としてKOHなどのアルカリ性溶液を用いた異方性エッチングにより凹部31を形成する。

【0019】ここで、突部22により、後の工程でキャップ用ウェハ30をダイシングカットする際に、ダイシングブレード(図7での符号33、図9での符号36にて示す)とシリコンウェハ32(図7、9参照)との接触を回避するための必要な間隙が確保される。

【0020】そして、図5に示すように、キャップ用ウェハ30の表面に接合層23を形成する。接合層23は真空あるいは不活性ガスを封止する場合は、例えばAu-Si共晶接合法を用いるためにAuとする。

【0021】引き続き、キャップ用ウェハ30を分割するための位置合わせ用ラインを形成する。つまり、図12に示すように、形成した突部22のエッジを基準ラインL1、L2とし、基準ラインL1、L2から所定の距離 $\Delta L1$ 、 $\Delta L2$ だけ離れた位置(ダイシングラインL3、L4)においてカットする。尚、図12はダイシングラインを2本形成しているが、ウェハのオリエンテーションフラットの切り出し幅度があればそれを基準となる位置合せラインとして用いることもでき、その場合はオリエンテーションフラット面に対し垂直に1本のみのラインL3を設ける。

【0022】さらに、図6に示すように、図1、2、3でのセンサ素子(可動ゲートMOSTランジスタ)ESを各チップ形成領域毎に形成したシリコンウェハ(以下、センサウェハという)32を用意し、キャップ用ウェハ30とセンサウェハ32とを接合層23を介して接合する。このとき、接合層23の材料に応じた接合方法で接合することとなるが、接合層23にAuを用いる場

5

合においては、共晶接合法を用いるとよい。即ち、予めキャップ用ウェハ30に形成された接合層23とセンサウェハ32の表面に露出したシリコン部とを接触させ、適当な加圧力で加圧した後に共晶温度（約370℃）以上に加熱し冷却させることで接合する。

【0023】尚、キャップ用ウェハ30とセンサウェハ32とは、陽極接合法等により直接接合にて貼り合わせてもよい。次に、図7に示すように、キャップ用ウェハ30での不要部（図2、3におけるP1、P2、P3）を分離するためのダイシングカットを行う。つまり、キャップ部と不要部とを分けるためにキャップ用ウェハ30をダイシングブレード33によりダイシングカットする。その結果、ダイシングラインに溝34が形成される。ここで、カットする方向は図13に示すようにオリエンテーションブラットに対して垂直な方向とし、形成した位置合せラインL3、L4を基準にして、カット間隔およびカット位置を決定する。図13においてL5にてカットするダイシングラインを示す。このようにしてキャップ用ウェハ30に対し縦横のダイシングラインの内の一方のダイシングラインL5がカットされる。このとき、キャップ用ウェハ30の裏面に目印となるマークがなくても容易にダイシングカットすることが可能となる。

【0024】そして、図8に示すように、ダイシングカット用粘着シート35をキャップ用ウェハ30の裏面に貼り付ける。ここで、貼り付け時に粘着シート35とキャップ用ウェハ30との間に空気が残りやすいが、ダイシングカットによる切れ込み溝34があるため、ここから空気を排出できるので貼り付け後に軽く擦り付ければ粘着シート35とキャップ用ウェハ30とが全領域にわたり密着する。

【0025】さらに、図9に示すように、粘着シート35ごとキャップ用ウェハ30をダイシングブレード36により再度ダイシングカットする。その結果、ダイシングラインに溝37が形成される。カットする方向は、図14に示すように前述のラインL5に対し垂直な方向（図ではL6にて示す）であり、位置合せラインL3、L4を基準としてカット間隔およびカット位置を決定する。

【0026】このようにしてキャップ用ウェハ30に対しダイシングラインの内の未カットラインL6が粘着シート35ごとカットされる。尚、カットするラインL5とL6とは、L6を先にカットしてもよい。

【0027】このダイシング工程において、粘着シート35をキャップ用ウェハ30に貼り付けた状態でカットするので、図9の不要部30aがダイシングカット中に飛散しセンサウェハ32表面のパッシベーション膜やパッドを損傷したりダイシングブレード36が破損することが回避される。つまり、不要部30aは固定されており、上述した不具合を未然に回避することができる。

(4)

特開平9-223678

6

【0028】引き続き、粘着シート35を分割されたキャップ用ウェハ30から剥がす。このとき、粘着シート35とともにキャップ不要部30aも除去され、図10のようにセンサウェハ32上にキャップ（30）が搭載された形となる。このようにして粘着シート35が剥がされてキャップ用ウェハ30から不要部30aが分離される。

【0029】そして、図11に示すように、ダイシングブレード38を用いてセンサウェハ32をダイシングラインに沿ってダイシングカットし、キャップが形成されたセンサが一括して形成される（センサチップに分割される）。その結果、図1、2、3に示すセンサが製造される。

【0030】このように本実施の形態では下記の特徴を有する。

(イ) センサ素子ESが形成されたシリコン基板1に対しキャップ21（接合部材）が空隙24をもって対向配置された半導体加速度センサを製造するにあたり、接合部材用板材としてのキャップ用ウェハ30と素子側半導体ウェハとしてのセンサチップ32を接合し、キャップ用ウェハ30に対し縦横のダイシングラインの内の一方のダイシングラインL5でカットし、キャップ用ウェハ30に粘着シート35を貼り付け、キャップ用ウェハ30に対しダイシングラインの内の未カットラインL6で粘着シート35ごとカットし、粘着シート35を剥がしてキャップ用ウェハ30から当該ウェハ30での不要部30aを分離し、センサウェハ32を各チップ毎にダイシングカットした。よって、キャップ用ウェハ30をキャップと不要部とに分けるダイシングカット時に、不要部30aが粘着シート35に貼り付けられた状態（支持された状態）でカットするので、不要部30aがダイシングカット中に飛散し、センサウェハ32表面のパッシベーション膜やパッドを損傷したりダイシングブレード36が破損することが回避される。つまり、固定されていないキャップ不要部が飛散し、センサウェハ32上に形成されたパッド部やパッシベーション膜等にダメージを与えることなくキャップを形成することが可能となる。これにより、低コストかつ高歩留りで保護キャップ21を有する加速度センサを製造することができる。

【0031】上述した実施の形態以外にも次のように実施してもよい。キャップ21の材質はシリコンを用いているが、ガラス、セラミクス、樹脂等、後工程での熱処理温度に耐えうる材料で素子への汚染等の問題のないものであればよく、コストや耐環境性を考慮して選定する。シリコンは、耐湿性が確保しやすく、ウェハとして比較的低コストで安定して供給されるものである。尚、キャップを透明にしたい場合には合成石英ガラスが適している。

【0032】又、図15に示すように、回路素子が形成された基板40と回路素子が形成された基板41とを接

(5)

特開平9-223678

7

8

合した構造の半導体装置に具体化してもよい。つまり、LSIチップ40とLSIチップ41とを接合層(Auバンプ)42、43にて接合した構造の、いわゆる「Chip On Chip」と称するマルチチップに適用してもよい。図15においてLSIチップ40の面積よりもLSIチップ41の面積の方が小さく、製造の際に不要部を除去する必要がある、この不要部除去のために上述した技術を用いることができる。尚、図15において符号44は電極パッド部である。

【0033】又、加速度センサの他にも、ヨーレートセンサ等にも適用できる。

【図面の簡単な説明】

【図1】 実施の形態におけるセンサの平面図。

【図2】 図1のA-A断面図。

【図3】 図1のB-B断面図。

【図4】 加速度センサの製造工程を示す断面図。

* 【図5】 加速度センサの製造工程を示す断面図。

【図6】 加速度センサの製造工程を示す断面図。

【図7】 加速度センサの製造工程を示す断面図。

【図8】 加速度センサの製造工程を示す断面図。

【図9】 加速度センサの製造工程を示す断面図。

【図10】 加速度センサの製造工程を示す断面図。

【図11】 加速度センサの製造工程を示す断面図。

【図12】 加速度センサの製造工程を示す平面図。

【図13】 加速度センサの製造工程を示す平面図。

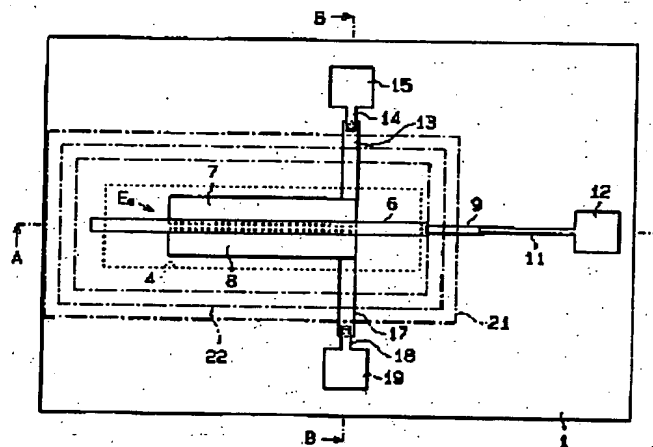
【図14】 加速度センサの製造工程を示す平面図。

【図15】 別例の半導体装置の断面図。

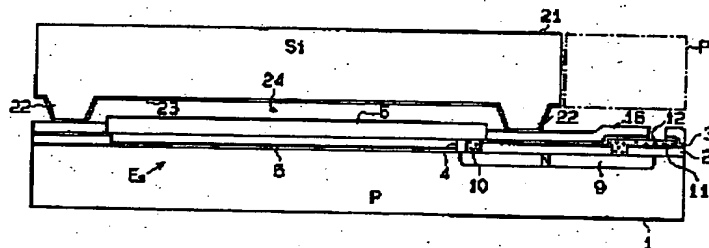
【符号の説明】

1…シリコン基板、21…接合部材としてのキャップ、24…空隙、30…接合部材用板材としてのキャップ用ウェハ、30a…不要部、32…素子側半導体ウェハとしてのセンサウェハ、35…粘着シート

【図1】



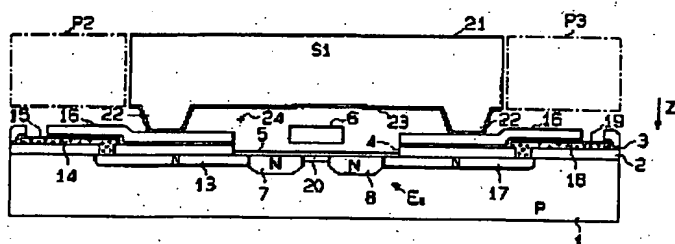
【図2】



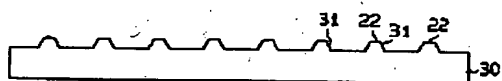
(6)

特開平9-223678

【圖3】



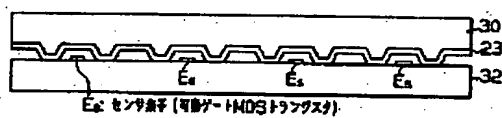
【图4】



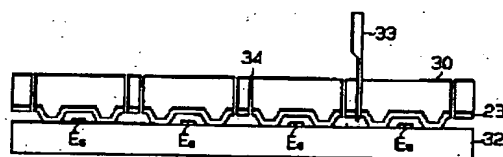
【圖5】



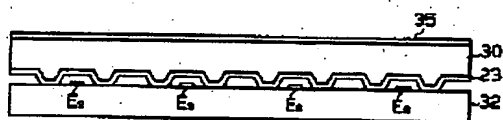
【圖6】



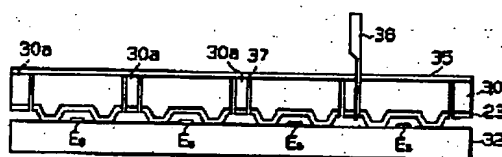
【圖 7】



【圖8】



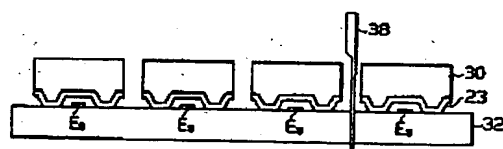
【图9】



【圖 10】



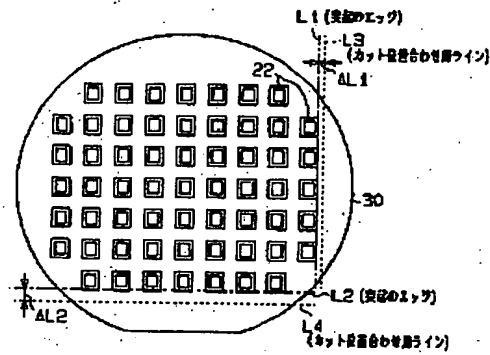
【圖 1 1】



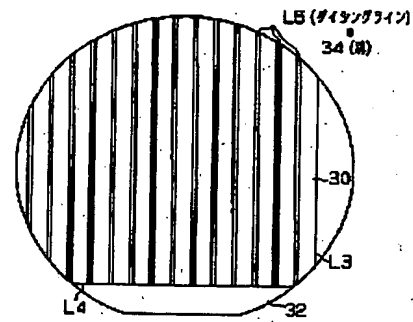
(7)

特開平9-223678

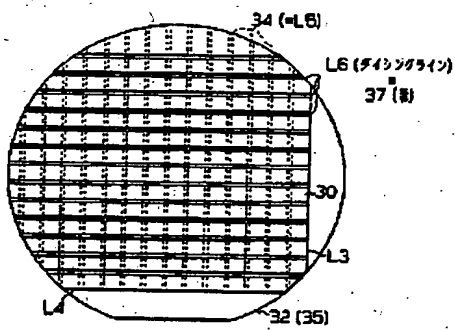
【図12】



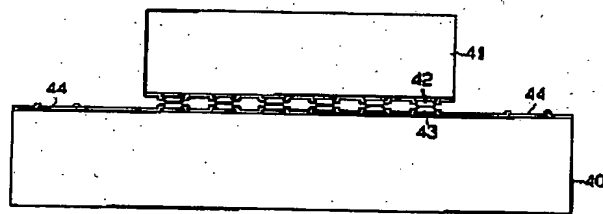
【図13】

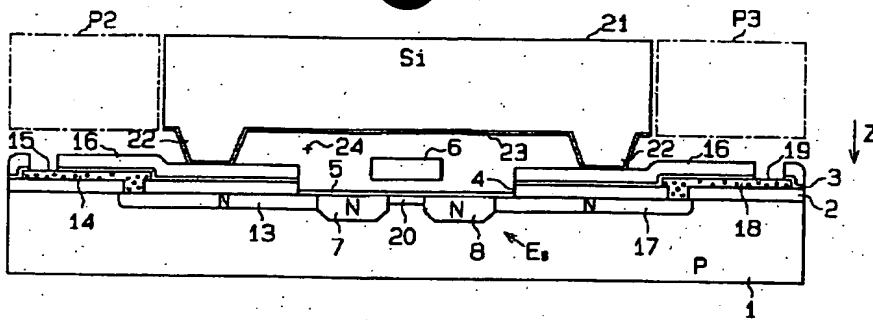


【図14】



【図15】





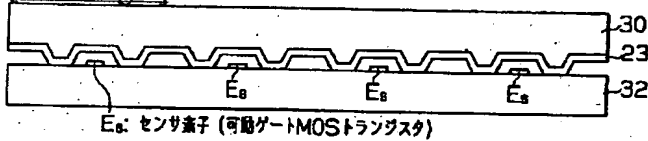
[Drawing 4]



[Drawing 5]

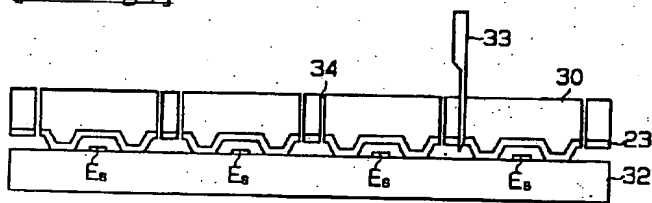


[Drawing 6]

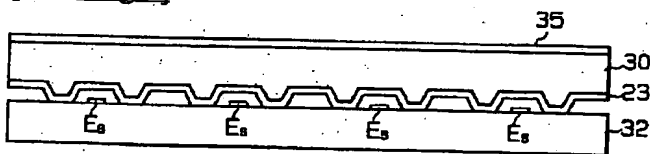


E₈: センサ素子 (可動ゲートMOSトランジスタ)

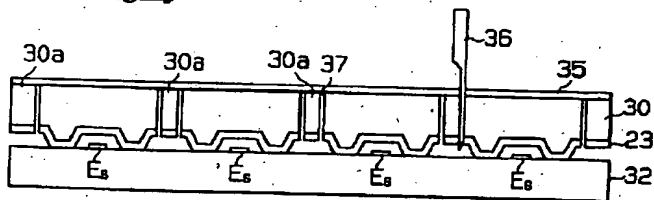
[Drawing 7]



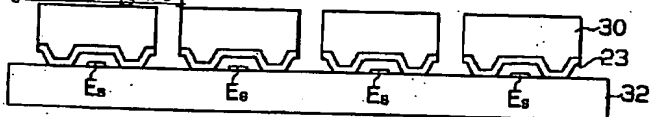
[Drawing 8]



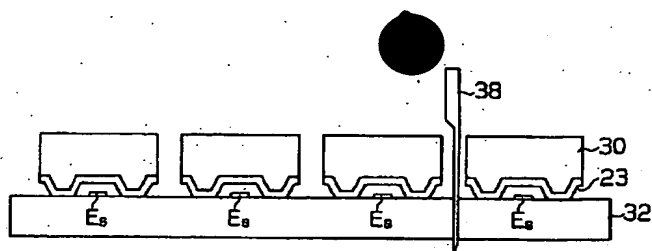
[Drawing 9]



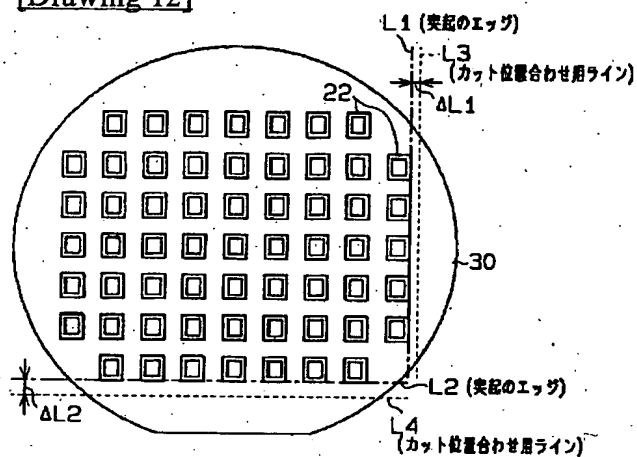
[Drawing 10]



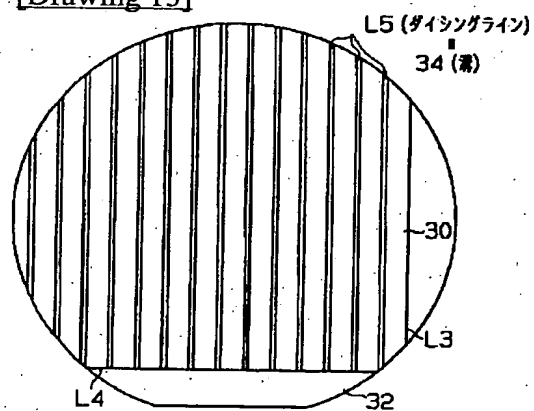
[Drawing 11]



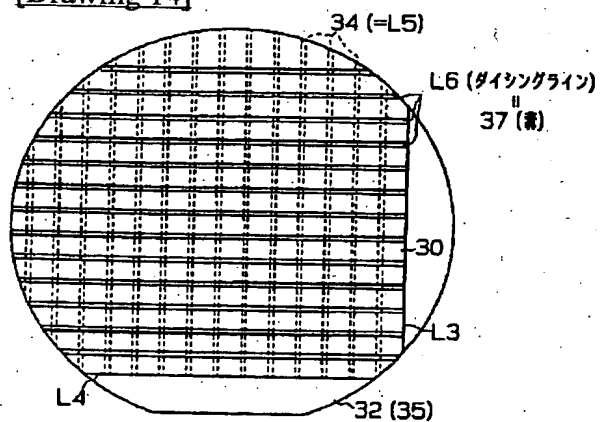
[Drawing 12]



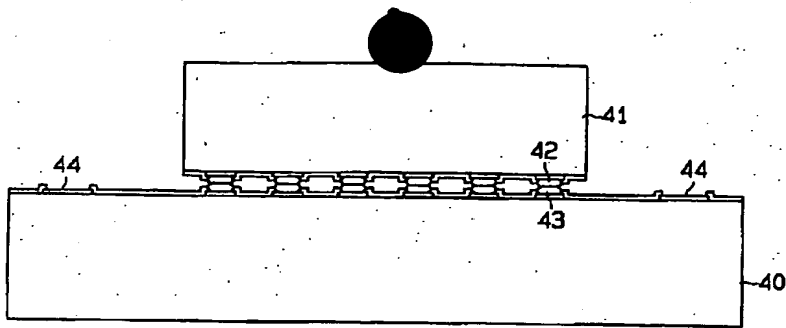
[Drawing 13]



[Drawing 14]



[Drawing 15]



[Translation done.]

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**